

PAT-NO: JP402078268A
DOCUMENT-IDENTIFIER: JP 02078268 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE
PUBN-DATE: March 19, 1990

INVENTOR-INFORMATION:

NAME
KUBODERA, MASAACKI
KUBODERA, KIMIKO
SHIOYA, MASAHIRO
SASAKI, KATSURO
ONO, TAKAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI VLSI ENG CORP	N/A

APPL-NO: JP63228792

APPL-DATE: September 14, 1988

INT-CL (IPC): H01L027/10, G11C011/41 , H01L027/11

US-CL-CURRENT: 365/174

ABSTRACT:

PURPOSE: To enable the reduction of power consumption by a method wherein an ERAM is composed of a rectangular semiconductor chip, where a bonding pad is provided to each side of the chip and a first and a second memory group are arranged sandwiching a row decoder in between them.

CONSTITUTION: An external terminal P is provided to all the sides of a rectangular SRAM semiconductor chip. A memory cell array MARY divided into 32 parts is arranged on the center of the chip, and row decoder R-DC is positioned between centered MARYs 15 and 16. A word driver WDDR is provided between divided MARYs respectively. R-DC selects two MWLs from main word lines MWL on the direction of an address signal. A load circuit LD is provided to the upper end of each MARY, and a column switch CSW and a column decoder CDC are provided to the lower end. By the structure and the layout as mentioned above, the current flowing from LD to MARY is reduced to 1/32 and power consumption is made to decrease.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-78268

⑤Int. Cl.⁹

H 01 L 27/10

識別記号

4 6 1

庁内整理番号

8624-5F

8624-5F

8522-5B

H 01 L 27/10

G 11 C 11/34

3 8 1

3 4 5

※

⑬公開 平成2年(1990)3月19日

審査請求 未請求 請求項の数 2 (全18頁)

⑭発明の名称 半導体集積回路装置

⑰特 願 昭63-228792

⑱出 願 昭63(1988)9月14日

⑲発 明 者 久 保 寺 正 明 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内⑲発 明 者 久 保 寺 喜 美 子 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑳出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑出 願 人 日立超エル・エス・アイ 東京都小平市上水本町1448番地
エンジニアリング株

式会社

㉒代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. スタティックランダムアクセスメモリを有す

る半導体集積回路装置は、

長方形の半導体チップと、

上記半導体チップの各辺に形成されたボンデ
ィングパットと、上記半導体チップの中央部に形成された選択
手段と、上記ボンディングパットのうちの少なくとも
一部のボンディングパットと上記選択手段とを
結ぶ手段と、上記選択手段をその間にはさむように上記半
導体チップに形成された第1、第2のメモリセ
ル群とを有することを特徴とする。

2. 半導体集積回路装置は、

複数のメモリセルと、互いに近接したデー
タ線を有する第1のメモリセルアレイと、複数のメモリセルと、互いに近接したデー
タ線を有する第2のメモリセルアレイと、上記第1のメモリセルアレイのデータ線と第
1のコモンデータ線との間に結合された第1の
カラムスイッチ手段と、上記第1のメモリセルアレイのデータ線と第
2のコモンデータ線との間に結合された第2の
カラムスイッチ手段と、上記第2のメモリセルアレイのデータ線と第
3のコモンデータ線との間に結合された第3の
カラムスイッチ手段と、上記第2のメモリセルアレイのデータ線と第
4のコモンデータ線との間に結合された第4の
カラムスイッチ手段と、上記第1、第2のカラムスイッチ手段に結合
された第1の制御手段と、上記第3、第4のカラムスイッチ手段に結合
された第2の制御手段と、上記第1、第2、第3及び第4のコモンデー
タ線に結合され、これらのコモンデータ線にお

けるデータに応じた複数の出力信号を異質的に同時に出力する出力手段とを有することを特徴とする。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関し、特に、スタティック型ランダムアクセスメモリを具備した半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

スタティック型ランダムアクセスメモリ（以下SRAMと称する）においては、相補型データ線（相補性データ線あるいは相補データ線と称する）とワード線との交差部にメモリセルが配置されている。メモリセルは、フリップフロップ回路及びそのフリップフロップ回路の一对の入出力端子に夫々一方の半導体領域が接続された2個の伝送用MISFET（絶縁ゲート型電界効果トランジスタ）で構成されている。フリップフロップ回路は、例えば2個の駆動用MISFETと2個の高抵抗

負荷素子とにより構成されている。高抵抗負荷素子は、メモリセルの占有面積を縮小するために、その抵抗値を低減する不純物が導入されていないか、或は若干導入されている多結晶硅薄膜で形成されている。前記メモリセルの夫々の伝送用MISFETのゲート電極はワード線に接続されている。伝送用MISFETの他方の半導体領域は、夫々、相補型データ線に接続されている。

メモリセルは、相補型データ線の延在する方向、ワード線の延在する方向に夫々複数配置され、メモリセルアレイを構成している。メモリセルアレイの一端には、そのメモリセルアレイに形成された複数のワード線から所望のワード線を選択するためのワードドライバ回路及びロウデコーダ（Xデコーダ）回路が配置されている。メモリセルアレイの他端には、メモリセルアレイに形成された複数の相補型データ線から所望の相補型データ線を選択するためのカラムスイッチ及びそれを制御するカラムデコーダ回路が配置されている。この場合、相補型データ線は、カラムスイッチを介し

てコモンデータ線に接続されている。すなわち、カラムスイッチが相補型データ線とコモンデータ線との間に介在されている。

メモリセルの情報は、相補型データ線からカラムスイッチ及びコモンデータ線を通してセンスアンプに伝送され、このセンスアンプにおいて、メモリセルの情報、すなわち、“1”情報又は“0”情報が増幅される。この増幅された情報は、出力信号線（データバス）を通して外部出力端子からSRAMの外部に出力される。

なお、SRAMについては、例えば、日経マイクロデバイス、1986年5号、第77頁乃至第93頁に記載されている。

〔発明が解決しようとする課題〕

本発明者は、256[Kbit]×4[bit]構成の1[Mbit]のような大容量で高速なMOS型SRAMの開発に先立ち、SRAMについて検討したところ、次に述べるような問題点が生じることを見出した。

1. SRAMの封止方式は、DILP（Dual-

In Line Package）、SOJ（Small Outline J-bend package）等の樹脂封止が主流である。この種の封止方式を採用する大容量のSRAMにおいては、その半導体チップの形状が、例えば、 6.15×15.21 [mm²]程度のスリムな長方形となる。この半導体チップに1[Mbit]の大容量のSRAMを単純に形成する場合、長辺方向に2048組の相補型データ線を配設し、短辺方向に512本のワード線を配設し、両者の交差部にメモリセルを配設し、メモリセルアレイ（メモリマツト）を形成することができる。このようにして形成されたSRAMにおいては、1本のワード線を選択すると2048個のメモリセルが同時に選択される。そのため、相補型データ線の負荷を構成するロード回路（負荷用MISFET）から2048個のメモリセルに電流が流れ込む。これにより、SRAMの消費電力が均大するという問題点が生じる。

また、前記複数のワード線から所望のワード線を選択するロウデコーダ回路が、一度に2048

個のメモリセルを実質的に同時に駆動することは困難である。このため、いわゆるデバイデッドワードライン方式が採用される。本発明者の基礎研究の結果、一本のワード線で選択可能なメモリセルの数は128個である。前記のデバイデッドワードライン方式とは、メモリセルに結合されるワード線を複数に分割して、サブワード線を構成し、このサブワード線毎にワードドライバ回路を配置し、メインワード線を介してワードドライバ回路をロウデコーダ回路で制御する方式である。ロウデコーダ回路は、複数に分割されたメモリセルアレイの最端部に配置される。このように構成されるSRAMにおいては、メモリセルアレイの最端部から対向する他の最端部側にメインワード線を延在させるので、メインワード線が比較的長くなる。このため、メインワード線に結合されてしまう寄生容量（負荷容量）及びそのメインワード線の有する寄生抵抗（負荷抵抗）が非常に大きいので、SRAMの動作速度が低下するという問題点が生じる。

デコーダ回路との距離が均一でなくなる。この場合、ロウデコーダ回路に各アドレス信号が伝わるタイミングを合わせる必要があるので、SRAMの動作速度が低下するという問題点が生じる。

4. 前記SRAMにおいて、メモリセルの情報は、相補型データ線（1組の相補型データ線は非反転のデータ線と反転のデータ線とからなる）から一本のデータ線毎に設けられたカラムスイッチを介してコモンデータ線に出力される。カラムスイッチは、相補型MOSFETからなるトランスマッションゲート回路で構成され、カラムデコーダ回路で制御されている。相補型データ線間の寸法はメモリセルの高集積化によって非常に小さくすることができるが、この1組の相補型データ線間の寸法内に2個（1組）のカラムスイッチ及び2個（1組）のカラムデコーダ回路を配置することが非常に難しいという問題点が生じる。また、カラムスイッチ及びカラムデコーダ回路のサイズで相補型データ線間の間隔を規定すると、相補型データ線間の間隔が大きくなるので、染積度が低

2. 前記SRAMにおいては、半導体チップの短辺方向に512本のワード線（実際にはサブワード線）を配列する必要がある。しかしながら、半導体チップの形状が前述のようにスリムになるので、前記ワード線を配置すると半導体チップの短辺方向のサイズにかなりの制約があるという問題点が生じる。

3. 前記SRAMにおいては、半導体チップの対向する短辺に沿って外部端子（ボンディングパッド）が配置されている。外部端子には、アドレス信号、データ出力信号、電源等が印加される。しかしながら、半導体チップの形状が前述のようにスリムになるので、これらの全ての外部端子を半導体チップの短辺に沿って配置することができないという問題点が生じる。また、半導体チップの形状がスリムで、しかも前述のようにロウデコーダ回路をメモリセルアレイの最端部に配置すると、ロウデコーダ回路と対向する他の最端部に配置されるアドレス信号用外部端子との距離が長くなる。つまり、各アドレス信号用外部端子とロウ

下するという問題点が生じる。

前記SRAMは、1度の情報読出動作で4[bit]の情報を出力する多ビット方式を採用している。すなわち、1回の読み出し動作で、4[bit]の情報が並列に出力される。SRAMにおいて、情報を外部に出力するための出力トランジスタは、その駆動能力がSRAMの内部回路を構成するトランジスタのそれに比べてかなり大きくなるように形成されている。このため、情報読出動作で4[bit]分の出力トランジスタが1度に駆動されると、基準電位（回路の接地電位）に大きなノイズが発生する。このノイズは、SRAMの基準電位をSRAMの外部の基準電位に比べて浮かせるので、SRAM内の入力段回路の入力信号レベルのマージンが小さくなり、誤動作を生じやすいという問題点が生じる。このことは、換言すれば、SRAMの入力信号の規格レベルを補償することができないという問題点が生じる。

本発明の目的は、SRAMの消費電力を低減することが可能な技術を提供することにある。

本発明の他の目的は、S R A Mの消費電力を低減すると共に、ワード線の負荷容量及び負荷抵抗を低減して動作速度の高速化を図ることが可能な技術を提供することにある。

本発明の他の目的は、S R A Mの消費電力を低減し、動作速度の高速化を図ると共に、高集積化を図ることが可能な技術を提供することにある。特に、本発明の他の目的は、S R A Mにおいて、データ線の延在する方向のサイズを縮小して高集積化を図ることが可能な技術を提供することにある。

本発明の他の目的は、S R A Mの外部端子の配置位置の制約を緩和することが可能な技術を提供することにある。

本発明の他の目的は、S R A Mにおいて、信号線の長さを均一にし、動作速度の高速化を図ることが可能な技術を提供することにある。

本発明の他の目的は、S R A Mの高集積化を図ることが可能な技術を提供することにある。特に、本発明の他の目的は、S R A Mにおいて、カラム

S R A Mにおいて、2組のカラムスイッチを1個のカラムデコード回路で制御する。

多ビット方式のS R A Mにおいて、コモンデータ線毎又は及び出力信号線毎にその配置される長さを変える。

〔作用〕

上述した手段によれば、ロード回路からメモリセルに流れる電流量を32分の1にすることができるので、S R A Mの消費電力を低減することができる。メインワード線の長さを2分の1にし、負荷容量及び負荷抵抗を低減することができるので、S R A Mの動作速度の高速化を図ることができる。

前記S R A Mは、さらに、カラムスイッチ数、カラムデコード回路数等を最小限にとどめることができるので、相補型データ線の延在方向のサイズを縮小し、高集積化を図ることができる。

前記半導体チップの各辺を有効に利用することができるので、外部端子の配置位置の制約を緩和することができる。また、各アドレス信号用の外

デコード面積を縮小して高集積化を図ることが可能な技術を提供することにある。

本発明の他の目的は、ノイズの発生を低減し、S R A Mの誤動作を防止することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものを簡単に説明すれば、下記のとおりである。

S R A Mにおいて、ワード線の延在方向にメモリセルアレイを少なくとも32分割し、その中央部にロウデコード回路を配置する。

前記S R A Mにおいて、分割された個々のメモリセルアレイの一端部にカラムスイッチ、カラムデコード回路等を配置する。

S R A Mを形成する長方形の半導体チップの4辺のそれぞれに外部端子を配置し、前記半導体チップの中央部にロウデコード回路を配置する。

部端子とロウデコード回路とを接続するアドレス信号線の長さを短縮することができるので、S R A Mの動作速度の高速化を図ることができる。

前記カラムデコード回路数を低減することができるので、その面積に相当する分、S R A Mの高集積化を図ることができる。

更に、前述した手段によれば、個々のコモンデータ線又は及び個々の出力信号線の負荷容量又は(及び)負荷抵抗が互いに異なるようにされるため、各情報出力する出力タイミングが互いに異なるようになる。これにより、ノイズを分散させて、その値を低減させることが可能となり、S R A Mの誤動作を防止することができる。

〔実施例〕

以下、256(Kbit)×4(bit)構成の1(Mbit)の大容量で高速なM O S型S R A Mに本発明を適用した一実施例をもとに本発明を説明する。

なお、実施例を説明するための以下の図面において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本発明の一実施例である256[Kbit]×4[bit]構成の1[Mbit]のSRAMを第1図(半導体チップにおけるレイアウト図)に示す。すなわち、同図に示された主要な回路ブロックは、実際の配置に合わせて描かれている。

本実施例のSRAMは、DILP、SOJ等の樹脂封止方式で封止されるので、第1図に示すように、例えば6.15×15.21[mm²]程度のスリムな長方形の半導体チップに形成されている。特に制限されないが、本実施例において、半導体チップは、単結晶基板上で形成されたn型半導体基板で構成されている。半導体チップの所定の主面部(例えばnチャネルMISFETが形成されるべき領域)にはp型ウエル領域が形成されている。なお、半導体チップが、例えばp型半導体基板で構成される場合には、n型ウエル領域方式(p型半導体基板にn型ウエル領域が形成される)又はツインウエル方式(半導体基板にn型ウエル領域及びp型ウエル領域が形成される)を採用する。

半導体チップの周辺の各辺に沿った領域には、

データ信号が印加される。つまり、これらの外部端子P-I/O₁～P-I/O₄は入力信号、出力信号に対して共通に使用される。外部端子P-Vcc₁、P-Vcc₂は、SRAMの外部から電源電圧例えば回路の動作電位5[V]が印加されるボンディングパッドであり、外部端子P-Vss₁、P-Vss₂は、SRAMの外部から基準電圧例えば回路の接地電位0[V]が印加されるボンディングパッドである。

外部端子P-A₀～P-A₁₇は、第1図に示されているように、半導体チップの対向する上下の長辺、右側の短辺の夫々に沿って配置されている。外部端子P-CS、外部端子P-OE、外部端子P-WEの夫々は、左側の短辺に沿って配置されている。外部端子P-I/O₁～P-I/O₄は、下側の長辺及び左側の短辺に沿って配置されている。

外部端子P-Vcc₁、P-Vcc₂は右側の短辺に沿って配置されている。外部端子P-Vcc₁は内部回路用、外部端子P-Vcc₂は出力バッファ

外部端子(ボンディングパッド)Pが配置されている。つまり、半導体チップの4辺、全てに外部端子Pが配置されている。

外部端子P-A₀～P-A₁₇は、SRAMの外部からアドレス信号A₀～A₁₇が、それぞれ印加されるボンディングパッドであり、外部端子P-CSは、SRAMの外部からチップセレクト信号CSが印加されるボンディングパッドである。外部端子P-OEは、SRAMの外部からアウトプットイネーブル信号OEが印加されるボンディングパッドであり、外部端子P-WEはSRAMの外部からライトイネーブル信号WEが印加されるボンディングパッドである。外部端子P-I/O₁～P-I/O₄は入出力データ信号I/O₁～I/O₄が印加されるボンディングパッドである。すなわち、外部端子P-I/O₁～P-I/O₄には、SRAMの外部から、このSRAMに供給されるべきデータ信号が印加される。また、SRAMからデータを読み出す場合には、SRAMの内部回路から上記外部端子P-I/O₁～P-I/O₄へデ

回路用である。すなわち、外部端子P-Vcc₁は、図示されていない電源配線を介して、センスアンプ等の内部回路に結合され、これらの内部回路に電源電圧を供給する。これに対して、上記外部端子P-Vcc₂は、図示されていない電源配線を介してデータ出力バッファD₀B_n(n=1～4)に結合され、これらに電源電圧を供給する。これにより、データ出力バッファが動作することにより生じる電源電圧の変動が内部回路に伝わるのを減らすことが可能となる。これらの外部端子P-Vcc₁及びP-Vcc₂は1つの電源電圧用のインナーリードに所謂ダブルボンディングによって接続されている。同様に、外部端子P-Vss₁、P-Vss₂は左側の短辺に沿って配置されている。外部端子P-Vss₁は内部回路用、外部端子P-Vss₂は出力バッファ回路用である。すなわち、外部端子P-Vss₁は、図示されていない電源配線を介して、センスアンプ等の内部回路に結合され、外部端子P-Vss₂は同じく図示されていない電源配線を介してデータ出力バッファD₀B_nに

結合されている。これにより、内部回路に対しては、外部端子 $P-V_{ss1}$ から基準電圧が供給され、データ出力バッファに対しては、外部端子 $P-V_{ss2}$ から基準電圧が供給される。これらの外部端子 $P-V_{ss1}$ 及び $P-V_{ss2}$ は基準電圧用インナーリードにダブルボンディングによって接続されている。

半導体チップの中央部にはメモリセルアレイMARYが配置されている。このメモリセルアレイMARYは、第1図に示されているように、同図の左側から右側に長辺に沿って（以下、列方向という）メモリセルアレイMARY0～MARY31のように32分割されている。メモリセルアレイMARYの配列方向（実質的にワード線の延在方向）にはメモリセルが2048個配置されている。分割された個々のメモリセルアレイMARYにおいては、列方向に64個（2048個÷32分割＝64個）のメモリセルが配置されている。基本的には1本のワード線で選択可能な最適なメモリセル数は128個程度であるが、安全性を高める

ために、本実施例では半分の64個としている。

メモリセルアレイMARYの詳細を第2図（第1図のII部分の拡大レイアウト図）及び第3図（第2図のIII部分の拡大レイアウト図）に示す。第2図及び第3図に示すように、分割された個々のメモリセルアレイMARY0～MARY31は、本実施例のSRAMが256[Kbit]×4[bit]構成を採用するので、さらに列方向に4分割されている。つまり、分割された個々のメモリセルアレイMARY（例えばMARY0）は4個の単位メモリセルアレイMARY（MARY0₁～MARY0₄）で構成されている。単位メモリセルアレイMARY（例えばMARY0₁）においては、列方向に16個（64個÷4分割＝16個）のメモリセルが配置されている。

分割された個々のメモリセルアレイMARY0～MARY31上には、列方向にサブワード線SWLが延在するように構成されている。サブワード線SWLは行方向に512本配列され、4本のサブワード線SWLに対して1本のメインワード

線MWLが設けられている。すなわち4本のサブワード線SWLが1組とみなされ、この1組が1本のメインワード線MWLで選択できるように構成されている。したがって、メインワード線MWLは、後述するロウデコーダ回路R-DCの片側において、行方向に128本配列されている。

個々の単位メモリセルアレイMARY_{nm}（ $n=0\sim31$ 、 $m=1\sim4$ 、以下同じ）上には行方向に相補型データ線DL（ d_1 、 d_2 ）が延在するように構成されている。単位メモリセルアレイMARY_{nm}には、サブワード線SWLの延在方向に16個のメモリセルが配置されているので、16組の相補型データ線DLが列方向に配列されている。

分割されたメモリセルアレイMARY_n（ $n=0\sim31$ 、以下同じ）のうちの第16分割目のメモリセルアレイMARY15と第17分割目のメモリセルアレイMARY16との間にはロウデコーダ回路（Xデコーダ回路）R-DCが配置されている。ロウデコーダ回路R-DCは、分割され

たメモリセルアレイMARY0～MARY15上、分割されたメモリセルアレイMARY16～MARY31上を夫々延在する前記メインワード線MWLに接続され、それを選択するように構成されている。すなわち、ロウデコーダ回路R-DCは、それに結合された256本（128本×2）のメインワード線MWLのなかから、アドレス信号によって指示された2本のメインワード線MWLを選択し、残りのメインワード線を非選択状態にする。この場合、128本のメインワード線から1本のメインワード線が選択され、合計として2本のメインワード線MWLが選択される。本実施例において、上記ロウデコーダ回路R-DCには、複数のプリデコーダ回路によって予めプリデコードされたアドレス信号、すなわちプリデコードによって得られた選択信号が供給され、これにより、所望の2本のメインワード線MWLの選択が行なわれる。第1図には、アドレス信号A₀とA₁とをプリデコードするプリデコーダ回路と、アドレス信号A₂とA₃とをプリデコードするプ

リデコーダ回路とがPDとして例示されている。プリデコーダ回路PDには、アドレスバッファ回路を介してアドレス信号が供給される。第1図には、4個のアドレスバッファ回路AD₀～AD₃が例示されている。プリデコーダ回路PDによって得られた選択信号(プリデコード信号)は、第1図上に例示された信号線Adiを介して上記ロウデコーダ回路R-DCに供給される。

ロウデコーダ回路R-DCがチップのほぼ中央に配置されているため、プリデコーダ回路PDからロウデコーダ回路に選択信号を伝える信号線の長さをほぼ同じにすることができ、SRAMの動作速度の向上を図ることができる。

分割された個々のメモリセルアレイMARY_nの右側部又は左側部、つまり分割メモリセルアレイMARY_n間にはワードドライバ回路WDDRが設けられている。ワードドライバ回路WDDRは分割された個々のメモリセルアレイMARY_n毎に配置されているので、ワードドライバ回路WDDR₀～ワードドライバ回路WDDR₃₁まで

32個配置されている。各ワードドライバ回路WDDR_n($n=0\sim31$ 、以下同じ)は、メインワード線MWLを介してロウデコーダ回路R-DCに接続されている。各ワードドライバ回路WDDR_nには、第3図及び第4図(A)(SRAMの要部の等価回路図)に示すように、複数のサブワード線SWLが接続され、この複数のサブワード線から所望のサブワード線を選択するように構成されている。つまり、このSRAMはデバイデッドワードライン方式を採用している。

第1図及び第4図(A)に示すように、分割された個々のメモリセルアレイMARY_nの上側端部には、データ線の負荷回路(ロード回路)LDが配置されている。ロード回路LDは、分割メモリセルアレイMARY_nの枚数に対応して設けられる。そのため、本実施例においては、32個のロード回路LD₀～LD₃₁が配位されている。各ロード回路LD_n($n=0\sim31$ 、以下同じ)は、相補型データ線DLを所定のレベル(例えばハイレベル)にし、メモリセルからの情報の読出し動作

時、或はメモリセルへの情報の書き込み動作時に、相補型データ線DLの電位をメモリセルからの情報に従った電位、あるいはメモリセルへの情報に従った電位にするように構成されている。ロード回路LD_nは、基本的には、相補型データ線DLのデータ線d₁、d₂毎にソース領域が接続されたnチャネルMISFETで構成されている。このnチャネルMISFETのドレイン領域には、電圧配線を介して電源電位Vccが供給される。

第1図乃至第4図(A)に示すように、分割された個々のメモリセルアレイMARY_nの下側端部には、カラムスイッチCSW、カラムデコーダ回路CDCの夫々が配位されている。

カラムスイッチCSWは、分割メモリセルアレイMARY_nに対応してカラムスイッチCSW₀～CSW₃₁までの32個が配置されている。各カラムスイッチCSW_n($n=0\sim31$)は、第3図に示されているように、それぞれ4個の単位カラムスイッチCSW_{nm}($n=0\sim31$ 、 $m=1\sim4$)によって構成されており、単位カラムス

イッチCSW_{nm}は、前述した単位メモリセルアレイMARY_{nm}に対応している。また、単位カラムスイッチCSW_{nm}は、単位メモリセルアレイMARY_{nm}が16組の相補型データ線を有するため、これに応じて16個のカラムスイッチ回路CSWによって構成されている。各カラムスイッチ回路CSWは、第4図(A)に示されているように、相補型データ線DLのデータ線d₁、d₂毎に1個配置されたスイッチを有している。すなわち、1組の相補型データ線DLに2個(1組)配置されたスイッチを有している。本実施例において、各スイッチはpチャネル型MISFETとnチャネル型MISFETとによって構成されている。すなわち、カラムスイッチ回路CSWは、夫々のソース領域、ドレイン領域が互いに接続された、nチャネルMISFETQ₁(或はQ₂)及びpチャネルMISFETQ₃(或はQ₄)からなるCMOSのトランスマッションゲート回路で構成されている。

カラムスイッチCSWは、カラムデコーダ回路

CDCからの選択信号に従って、選択的に相補型データ線をコモンデータ線 $I/O_1 \sim I/O_4$ に結合する。カラムデコード回路CDCは、分割メモセルアレイ $MARY_0 \sim MARY_{31}$ に対応して、実質的に32個のデコードCDC $0 \sim CDC_{31}$ によって構成されているとみなすことができる。さらに、各デコードCDC n ($n=0 \sim 31$)は、単位メモセルブロックに応じて4個の単位カラムデコードCDC nm ($n=0 \sim 31, m=1 \sim 4$)によって構成されているとみなすことができる。上述した各単位カラムデコードCDC nm のそれぞれは、実質的に複数のデコード回路(論理回路)によって構成されているとみなすことができる。本実施例においては、2個のカラムスイッチ回路に対して1個のデコード回路が設けられている。そのため、1個の単位カラムデコード回路CDC nm は、第3図に示されているように8個のデコード回路によって構成されている。第4図(A)に示されているように、カラムスイッチ回路は対応するデコード回路からの選択信号 YSL 、

回路CSWは、相補型データ線DLに伝達されたメモセルの情報を相補コモンデータ線 I/O に伝送するように構成されている。相補コモンデータ線 I/O は、2個の単位メモセルアレイ $MARY_{nm}$ に対応する長さで単位カラムスイッチCSW nm 上を列方向に延在し、単位メモセルアレイ $MARY_{nm}$ 間から行方向に引き出され、センスアンプSAに接続されている(第2図、第3図参照)。

前記センスアンプSAは、第1図乃至第4図(A)に示すように、メモセルアレイMARYの下側端部にカラムスイッチCSW及びカラムデコード回路CDCを介在させて配設されている。第2図からわかるように、各相補コモンデータ線は、4個の単位メモセルアレイ $MARY_{nm}$ に対して共通にされている。そのため、センスアンプの数は、単位メモセルアレイの半分となる。これらのセンスアンプSAは、列方向に64個配設されている。センスアンプSA-1にはコモンデータ線 I/O_1 が接続されている。センスアンプSA

YSL で制御される。選択信号 YSL は、カラムスイッチ回路CSWの n チャネルMISFETを制御するための選択信号であり、選択信号 YSL は、カラムスイッチ回路CSWの p チャネルMISFETを制御するための選択信号である。

前述したようにカラムデコード回路CDCは、分割メモセルアレイに対応して配置された32個のカラムデコード回路CDC $0 \sim CDC_{31}$ によって構成されている(第1図参照)。また、カラムデコード回路CDCにおいて、各デコード回路は、2組の相補型データ線DLを実質的に同時に選択、つまり4個(2組のカラムスイッチ回路CSW)のスイッチを制御するようにされている(第4図(A)参照)。

前記カラムスイッチ回路CSWは、相補型データ線DLと相補型コモンデータ線 I/O とを接続するように構成されている。コモンデータ線 I/O は、本実施例のSRAMが4[bit]構成なので、4組の相補コモンデータ線 $I/O_1 \sim I/O_4$ によって形成されている。つまり、カラムスイッチ

-2にはコモンデータ線 I/O_2 が接続されている。センスアンプSA-3にはコモンデータ線 I/O_3 が接続されている。センスアンプSA-4にはコモンデータ線 I/O_4 が接続されている。本実施例においては、脱出し動作のとき、64個のセンスアンプSAのうち4個のセンスアンプSA-1 \sim SA-4がアドレス信号によって指示され、動作状態にされ、残りの60個のセンスアンプは非動作状態にされる。これにより、動作状態とされたセンスアンプSAは、コモンデータ線 I/O で伝達されるメモセルの情報を増幅し、これを出力信号線DBusを介してデータ出力バッファDOBに供給する。本実施例においては、ロウデコード回路R-DCによって2本のメインワード線が選択され、ワードドライバ回路WDDR n を介してこれらのメインワード線MWLに結合された複数のサブワード線のなかから1本のサブワード線が、ワードドライバ回路WDDR n によって選択される。そのため、脱出し動作あるいは荷込み動作のときには、1個の分割メモセルアレ

IMARY_n内の選択されたサブワード線に結合されたメモリセルが同時に選択される。そのため、動作される4個のセンスアンプは、上記1個の分割メモリセルアレイMARY_nに結合されたセンスアンプSA-1～SA-4となる。

前記コモンデータ線I/Oは、前述のように互いに隣接する2つの単位メモリセルアレイMARY_{nm}に対して共通に形成されている(2つの単位メモリセルアレイMARY_nに対応する長さで形成されている)。この相補コモンデータ線I/Oは、第2図に示されているように、内側から外側に向かって相補コモンデータ線I/O₁、I/O₂、I/O₃、I/O₄の順に配置されている。これにより、例えば相補コモンデータ線I/O₁には、カラムスイッチを介して単位メモリセルアレイMARY₁、MARY₁、MARY₀、MARY₀のうちのいずれ1個の単位メモリセルアレイにおける相補型データ線が結合される。また相補コモンデータ線I/O₂にも、カラムスイッチを介して単位メモリセルアレイMARY₁、

MARY₁、MARY₀、MARY₀のうちのいずれかの単位メモリセルアレイにおける相補型データ線が結合される。この場合、第3図、第4図(A)に示されているように、コモンデータ線I/O₁、I/O₂は、互いに異なるカラムスイッチを介して互いに異なる(互いに近接した)相補データ線に結合されているため、同じ相補型データ線が相補コモンデータ線I/O₁、I/O₂に結合されることは無い。

本実施例においては、特に制限されないが、内側のコモンデータ線I/O₁と外側のコモンデータ線I/O₄とは、互いに配線長が実質的に等しくされている。つまり、相補コモンデータ線I/O₁のそれぞれにおいて、寄生容量及び寄生抵抗は、互いに等しくなるようにされている。もちろん、相補コモンデータ線I/O₁～I/O₄のそれぞれの配線長を変えて、それぞれの寄生容量、寄生抵抗の値が変わるようにしてもよい。これによりデータ出力バッファの動作タイミングを互いに異ならせてノイズの発生を成らすようにしてもよい。

本実施例のSRAMは、前述のように4ビット単位で入出力が行なわれるのであるが、1個の単位メモリセルアレイMARY_{nm}から選択されたメモリセルに対して4ビットのデータの入出力が行なわれるのでは無いことに注意されたい。すなわち、本実施例においては、1個の単位メモリセルアレイMARY_{nm}から2ビットが選択され、この単位メモリセルアレイMARY_{nm}と同じ分割メモリセルアレイMARY_n内にある他の単位メモリセルアレイMARY_{nm}から2ビットが選択され、これらの4ビットに対してデータの入出力が行なわれる。例えば、第3図において、単位メモリセルアレイMARY₀から2ビット(I/O₁、I/O₂)が選択され、この単位メモリセルアレイMARY₀とは近接しない単位メモリセルアレイMARY₀から2ビット(I/O₃、I/O₄)が選択されて、これらの4ビット(I/O₁～I/O₄)に対してデータの入出力が行なわれる。これにより、カラムデコード回路CDCを構成する各デコード回路が、相補型データ線

の延在方向に大きく(長く)なるのを防ぎ、チップの短辺が大きくなるのを防ぐことが可能となる。

前記センスアンプSAは、出力信号線(データバス)DBusを介在させてデータ出力用バッファ回路Dobに接続されている。データ出力用バッファ回路は、第1図の左側短辺に配置されたデータ出力バッファ回路Dob₁、下側長辺に配置されたデータ出力バッファ回路Dob₂～Dob₄の4個で構成されている。データ出力バッファ回路Dob₁には出力信号線DBus1を介在させてセンスアンプSA-1が接続されている。データ出力バッファ回路Dob₂には出力信号線DBus2を介在させてセンスアンプSA-2が接続されている。データ出力バッファ回路Dob₃には出力信号線DBus3を介在させてセンスアンプSA-3が接続されている。データ出力バッファ回路Dob₄には出力信号線DBus4を介在させてセンスアンプSA-4が接続されている。

出力信号線DBusは、内側から外側に向かって出力信号線DBus1、DBus2、DBus3、

DBus4の順に配置されている。結果的に、内側の出力信号線DBus1は、外側の出力信号線DBus4に比べて配線長が短くなる。つまり、出力信号線DBusの寄生容量及び寄生抵抗は、内側から外側に向って大きくなるように構成されている。

出力信号線DBusはメモリの情報を出力する出力トランジスタを駆動するように構成されている。第4図(B)には、上記データ出力バッファDOBの一実施例が示されている。同図には、データ出力バッファDOB1が代表として示されている。他のデータ出力バッファDOB2~DOB4については、データ出力バッファDOB1と同様の構成にされているため、図示しない。データ出力バッファDOB1は、出力信号線DBus1を介して相補的な信号が供給される増幅段APと、増幅段APによって増幅された相補信号を受けるナンドゲート(NAND)NO1、NO2と、インバータIVO1、IVO2及び出力トランジスタQ₁、Q₂とによって構成されている。上

記出力トランジスタQ₁、Q₂は、電源配線VccとVssとの間に直列に接続されており、制御信号OCがハイレベルにされているとき、出力信号線DBus1を介してデータ出力バッファに供給された相補信号に従って、オン・オフ状態にされる。これにより出力信号線DBus1の信号に従った情報がボンディングパッドP-I/O₁を介して出力される。上記制御信号OCがロウレベルにされると、上記出力トランジスタQ₁、Q₂はともにオフ状態にされる。これにより、ボンディングパッドP-I/O₁に外部から供給された入力データを図示しないデータ入力バッファに伝えることが可能となる。上記制御信号OCは、SRAMの外部から供給される制御信号WE、OE、CSにもとづいて、図示されていないタイミング信号発生回路が形成する。

第3図に示すように、前記単位メモリセルアレイMARY_{nm}間には、前記相補コモンデータ線I/Oを引き出すために若干のスペースが形成されている。このスペースを利用して、単位メモリ

セルアレイMARY_{nm}とカラムスイッチCSWとの間に列方向に延在する基準電位配線VssからT字型に基準電位配線Vssを引き出し、この引き出された基準電位配線Vssとp型ウエル領域とを接続（接続部は簡略化して・印で示す：所謂ウエルコンタクト）している。単位メモリセルアレイMARYはp型ウエル領域内に形成されており、基準電位配線Vssとの接続はp型ウエル領域の電位を安定に保持することができる。つまり、本実施例のSRAMは、メモリの情報読み込み動作或は情報脱出し動作の誤動作を防止したり、或はCMOS特有のラッチアップ現象を防止することができる。

前記単位メモリセルアレイMARY_{nm}に配列されたメモリセルは、第4図(A)に示すように、1組の相補型データ線DLと1本のサブワード線SWLとの交差部分に構成されている。メモリセルは、情報を保持するフリップフロップ回路と、その一対の入出力端子の夫々に一方の半導体領域が接続された伝送用MISFETQ₁及びQ₂と

とで構成されている。

伝送用MISFETQ₁はnチャネルMISFETで構成されている。伝送用MISFETQ₁の夫々のゲート電極は、同一のサブワード線SWLに接続されている。伝送用MISFETQ₁の他方の半導体領域は、相補型データ線DLのデータ線d₁或はd₂に接続されている。

フリップフロップ回路は、2個の駆動用MISFETQ_{d1}及びQ_{d2}と、2個の高抵抗負荷素子R₁及びR₂とで構成されている。駆動用MISFETQ_{d1}はnチャネルMISFETで構成されている。高抵抗負荷素子R₁は、メモリの占有面積を縮小するために、抵抗値を低減する不純物が導入されていないか、或は若干導入された多結晶窒素膜で構成されている。なお、上記高抵抗負荷素子R₁に代えて、pチャネルMISFETでメモリセルを構成してもよい。前記駆動用MISFETQ_{d1}のソース領域は基準電位Vssに接続されている。駆動用MISFETQ_{d1}のドレイン領域は伝送用MISFETQ₁及び高抵抗負荷素

子Rの一端側に接続されている。高抵抗負荷素子Rの他端側は電源電位 V_{cc} に接続されている。

このように構成されるSRAMのメモリセルの具体的な構成を第5図(メモリセルの平面図)及び第6図(所定の製造工程におけるメモリセルの平面図)で示す。

第5図及び第6図に示すように、SRAMのメモリセルは、 n^- 型の半導体基板1の主面部に形成された p^- 型ウェル領域2の主面部に形成されている。メモリセルの各素子(MISFET)は、ウェル領域2の主面部に形成されたフィールド絶縁膜(酸化珪素膜)3に囲まれ、その領域を規定されている。フィールド絶縁膜3下のウェル領域2の主面部には、図示していないが、 p 型のチャネルストップ領域が形成されている。

メモリセルの伝送用MISFETQ1は、主に、ウェル領域2、ゲート絶縁膜(図示しない)、ゲート電極5、ソース領域又はドレイン領域である一対の n^+ 型半導体領域6で形成されている。

伝送用MISFETQ1のウェル領域2は、チ

れた領域であって、ゲート電極5の両側部のウェル領域2の主面部に形成されている。半導体領域6は、 n 型不純物(As)をイオン打込みで導入することで形成する。詳細に図示していないが、半導体領域6は、チャネル形成領域側が低不純物密度で形成されている。この半導体領域6の低不純物密度部分は、高不純物密度の半導体領域6と同様に n 型不純物(P)をイオン打込みで導入することで形成する。この低不純物密度の半導体領域は、所謂LDD(Lightly Doped Drain)構造の伝送用MISFETQ1を形成する。

メモリセルの駆動用MISFETQdは、伝送用MISFETQ1と同様に、主に、ウェル領域2、ゲート絶縁膜、ゲート電極5、ソース領域又はドレイン領域である一対の n^+ 型半導体領域6で形成されている。

駆動用MISFETQd1のゲート電極5の一端部、駆動用MISFETQd2のゲート電極5の両端部の夫々は、ゲート絶縁膜に形成された接続孔4を通して所定の半導体領域6に直接接続さ

る。

ゲート絶縁膜は、ウェル領域2の主面部を酸化して形成した酸化珪素膜を用いる。

ゲート電極5は、多結晶珪素膜上に高融点金属シリサイド($MoSi_2$, $TiSi_2$, $TaSi_2$, WSi_2)膜を形成した複合膜で形成されている。また、ゲート電極5は、多結晶珪素膜、高融点金属シリサイド膜若しくは高融点金属(Mo , Ti , Ta , W)膜の単層、或は多結晶珪素膜上に高融点金属膜を形成した複合膜で形成してもよい。伝送用MISFETQ1のゲート電極5は、列方向に配列された他の伝送用MISFETQ1のゲート電極5と一体に形成されており、サブワード線(SWL)5を形成するようになっている。ゲート電極5及びサブワード線SWL5は第1層目のゲート配線形成工程で形成されている。なお、第5図、第6図及び後述する第7図において、第1層目のゲート配線及び第2層目のゲート配線は図面の理解を助けるために点線模を付けている。

半導体領域6は、フィールド絶縁膜3で規定さ

れている。

メモリセルの高抵抗負荷素子(R)8は、ゲート電極5上に層間絶縁膜(図示しない)を介在させて延在している。高抵抗負荷素子(R1)8は、伝送用MISFETQd1のゲート電極5上に配置されている。高抵抗負荷素子(R2)8は、伝送用MISFETQd2のゲート電極5上に配置されている。高抵抗負荷素子8は、前記層間絶縁膜に形成された接続孔7を通して、所定のゲート電極5及び半導体領域6に接続されている。高抵抗負荷素子8は抵抗値を低減する不純物(As, P又はB)を導入していないか、或は若干導入された多結晶珪素膜で形成されている。不純物が導入されていないか、或は若干導入されている領域は、第5図に符号Rを付けて2点鎖線で囲まれた領域内である。

高抵抗負荷素子8には、電源配線(V_{cc})8が一体に形成されている。この電源配線8は前記不純物が導入されている。

高抵抗負荷素子8及び電源配線8は、第2層目

のゲート配線形成工程で形成されている。

高抵抗負荷素子 8 及び電源配線 8 上には層間絶縁膜（図示しない）を介在させて、メインワード線（MWL）10、基準電圧配線（V_{ss}）10及び中間導電層10が形成されている。

基準電圧配線10は、前記層間絶縁膜に形成された接続孔9を通して駆動用MISFETQ_dのソース領域である半導体領域6に接続されている。

中間導電層10は、接続孔9を通して伝送用MISFETQ_tの他方の半導体領域6に接続されている。中間導電層10は、この上層に形成される相補型データ線DLの段差形状に起因する断線防止するように形成されている。

メインワード線10は、基準電圧配線10と中間導電層10との間部に両者間のスペースを利用して列方向に延在させて形成されている。

メインワード線10、基準電圧配線10及び中間導電層10は、第1層目の配線形成工程、例えばアルミニウム膜或は所定の添加物（Cu又は及びSi）が含有されたアルミニウム膜で形成され

ている。

このメインワード線10、基準電圧配線10及び中間導電層10上には、層間絶縁膜（図示しない）を介在させて相補型データ線（DL：d₁，d₂）12が行方向に延在している。相補型データ線12の個々のデータ線d₁，d₂は、前記層間絶縁膜に形成された接続孔11を通して一旦中間導電層10に接続され、この中間導電層10を通して伝送用MISFETQ_tの他方の半導体領域6に接続されている。相補型データ線12は、第2層目の配線形成工程で形成され、例えば前述と同様のアルミニウム膜で形成する。

次に、SRAMのカラムスイッチCSWの具体的な形成を第7図（カラムスイッチの要部平面図）及び前記第4図(A)を用いて簡単に説明する。第7図は、前記第5図及び第6図に比較して若干縮小してある。さらに、第7図の左側の2組の相補型データ線に相当する領域は第1層目配線層10及び第2層目配線層12を覆っており、右側の2組の相補型データ線に相当する領域は、第2層目配

線層12だけを除去して表している。

第7図に示すように、上側に示す相補型データ線DLは、ウェル領域2の供電用の基準電圧配線（V_{ss}）12と交差し、カラムスイッチCSWに接続されている。カラムスイッチCSWは、上側から下側に向かって4個のpチャネルMISFETQ₁，Q₂，Q₃，Q₄及び4個のnチャネルMISFETQ₅，Q₆，Q₇，Q₈が配置されている。上側の2個のpチャネルMISFETQ₁，Q₂及び上側の2個のnチャネルMISFETQ₅，Q₆は相補型データ線DLとコモンデータ線I/O₁又はI/O₂と接続するためのカラムスイッチCSWを形成する。下側の2個のpチャネルMISFETQ₃，Q₄及び下側の2個のnチャネルMISFETQ₇，Q₈は相補型データ線DLとコモンデータ線I/O₃又はI/O₄と接続するためのカラムスイッチCSWを形成する。

カラムスイッチCSWの前記合計8個のMISFETQ₁，Q₂，Q₃，Q₄，Q₅，Q₆，Q₇，Q₈の夫々のゲート電極の延在する方向は、相補

型データ線DLの延在する方向（行方向）と直交するように配置されている。このように配置されるカラムスイッチCSWのMISFETは、データ線d₁，d₂間隔とは独立にMISFETのサイズ、MISFET数を設定することができる。本実施例では、前述のように、2組の相補型データ線（d₁，d₂，d₁，d₂）DLの間隔内に規定されて4個（2組、合計8個のMISFET）のカラムスイッチCSWを配置している。そして、この4個のカラムスイッチCSWつまり2組の相補型データ線DLは、1個のカラムデコーダ回路CDCからの選択信号YSLで駆動するように形成されている。選択信号YSLは4個のnチャネルMISFETQ₅，Q₆，Q₇，Q₈を制御する。この選択信号YSLは、インバータ回路（nチャネルMISFETQ₆及びpチャネルMISFETQ₇で形成される）で選択信号 \overline{YSL} に変換され、この選択信号 \overline{YSL} は、4個のpチャネルMISFETQ₁，Q₂，Q₃，Q₄を制御するように形成されている。

このように、SRAMにおいて、2組のカラムスイッチ回路（或は2組の相補型データ線DL）を1個のデコーダ回路で制御することにより、カラムデコーダ回路CDCを構成するデコーダ回路の数を低減することができるので、その面積に相当する分、集積度を向上することができる。なお、4組（又は8組、16組、…）のカラムスイッチ回路を1個のデコーダ回路で制御してもよい。

次に、SRAMの情報読出し動作について簡単に説明する。

まず、外部からのアドレス信号が決定されると、第1図及び第4図(A)に示すロウデコーダ回路R-D Cによって、アドレス信号AD1によって指示された1本のメインワード線MWLが選択される。このメインワード線MWLが選択されるのと同時に、第3図及び第4図に示すワードドライバ回路WDDRに入力されるアドレス信号AD2が決定され、4本のうちの1本のサブワード線SWLが選択される。つまり、分割されたメモリセルアレイMARY_nにおける64個のメモリセルが選択

される。

次に、選択されたメモリセルは、その情報を相補型データ線DLに伝送する。このサブワード線SWLが選択されている時、ロード回路LDからメモリセルに直流的に電流が流れ続ける。

前記相補型データ線DLに伝送された情報は、カラムスイッチ回路を通してコモンデータ線I/Oに伝達され、さらにセンスアンプSAに伝達される。センスアンプSAは、コモンデータ線I/Oのレベルを増幅し、その増幅した情報を出力信号線DBusを通してデータ出力バッファ回路Dobに出力する。データ出力バッファ回路Dobは、出力された情報をさらに増幅し波形整形を行った後出力トランジスタを駆動する。この出力トランジスタの駆動によって情報が外部に出力される。

このように、SRAMのメモリセルアレイMARYを列方向に32分割し、その中央部にロウデコーダ回路R-D Cを配置することにより、ロード回路LDからメモリセルに流れる電流量を32

分の1にすることができるので、SRAMの消費電力を低減することができると共に、メインワード線MWLの長さを2分の1にし、それに結合されてしまう寄生容量及び寄生抵抗を低減することができるので、SRAMの動作速度の高速化を図ることができる。なお、本発明は、SRAMのメモリセルアレイMARYを64分割又はそれ以上の数の分割で構成してもよい。

また、前記構成に、分割された個々のメモリセルアレイMARYの一端部（第1図では下側）にカラムスイッチCSW、カラムデコーダ回路CDC、センスアンプSA等を配置することにより、カラムスイッチCSW数、カラムデコーダ回路CDC数、センスアンプSA数を最小限にとどめることができるので、相補型データ線DLの延在方向のサイズを縮小し、高集積化を図ることができる。なお、メモリセルアレイMARYの中央部に前述の周辺回路を配置する場合には、2倍の周辺回路面積を必要とする。

また、SRAMを構成する長方形の半導体チップ

の4辺に外部端子Pを配置することにより、前記半導体チップの各辺を有効に利用することができるので、外部端子Pの配置位置の制約を緩和することができる。また、外部端子Pにボンディングワイヤを介在させて接続されるインナーリード（図示しない）の間隔を緩和することができる。

また、SRAMを構成する長方形の半導体チップの4辺に外部端子Pを配置し、半導体チップの中央部にロウデコーダ回路R-D Cを配置することにより、例えばアドレス信号が印加される各外部端子P-Aとロウデコーダ回路R-D Cとの間を最短距離に構成することができるので、アドレス信号線の配線長を短縮することができる。また、各アドレス信号線間の配線長を均一にすることができる。この結果、SRAMの動作速度の高速化を図ることができる。

また、一度の情報読出し動作で、同時に複数個の情報を出力する（多ビット方式の）SRAMにおいて、コモンデータ線I/O毎又は及び出力信号線DBus毎に配線長を変えることにより、個々

のコモンデータ線 I/O 又は及び個々の出力信号線 D B u s の寄生容量及び寄生抵抗が異なり、情報の出力のタイミングが異なるので、基準電位 V_{ss} 或は電源電位 V_{cc} に生じるノイズを分散させることができる。この結果、特に、S R A M の入力段回路における誤動作を防止することができる。換言すれば、S R A M の入力信号の規格レベルを補償することができる。なお、本実施例では、出力信号線 D B u s は、第 2 層目配線層 12 で構成されている。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、S R A M の単体に限らず、論理回路 (M O S 型或はバイポーラトランジスタ型) 及び S R A M を有する半導体集積回路装置に適用することができる。

また、本発明は、128 [Kbit] × 8 [bit] 群

成の S R A M に、或は 4 [Mbit] 及びそれ以上の大容量の S R A M に適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

S R A M を有する半導体集積回路装置において、消費電力を低減することができると共に、動作速度の高速化を図ることができる。また、S R A M の誤動作を防止することが可能である。

また、S R A M を有する半導体集積回路装置の高集積化を図ることができる。

また、S R A M を有する半導体集積回路装置の動作速度の高速化を図ることができる。

また、S R A M を有する半導体集積回路装置のカラムデコード回路数を低減し、高集積化を図ることができる。

4. 図面の簡単な説明

第 1 図は、本発明の一実施例である S R A M のレイアウト図、

第 2 図は、前記第 1 図に示す S R A M の II 部分の拡大レイアウト図、

第 3 図は、前記第 2 図に示す S R A M の III 部分の拡大レイアウト図、

第 4 図(A)は、前記 S R A M の要部の等価回路図、

第 4 図(B)は、データ出力バッファ D o B の一実施例を示す回路図、

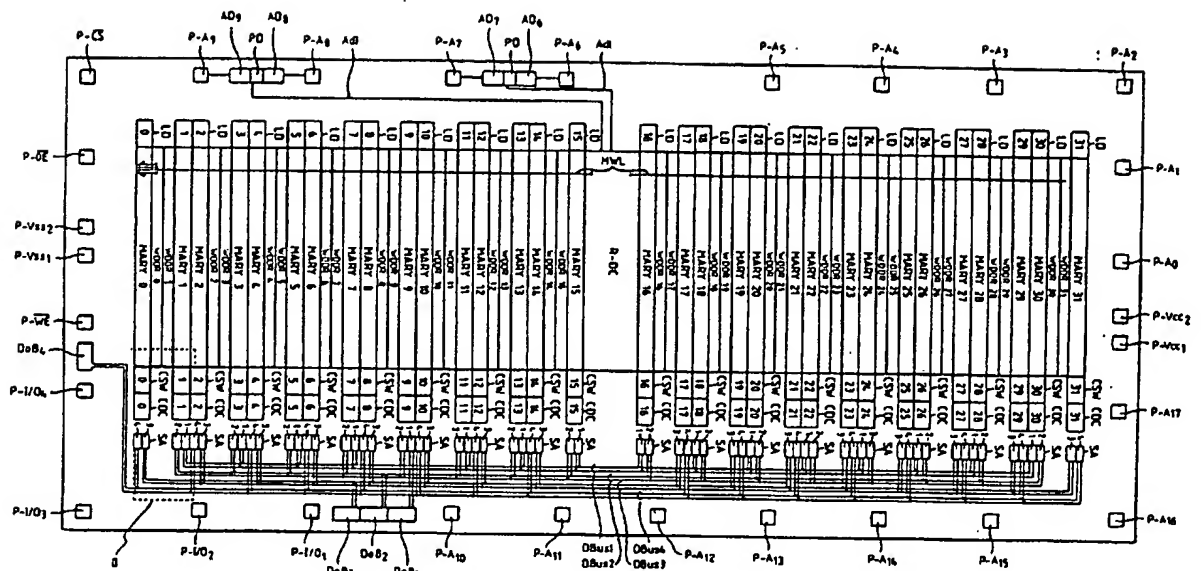
第 5 図は、前記 S R A M のメモリセルの具体的な平面図、

第 6 図は、前記第 5 図に示すメモリセルの所定の製造工程における平面図、

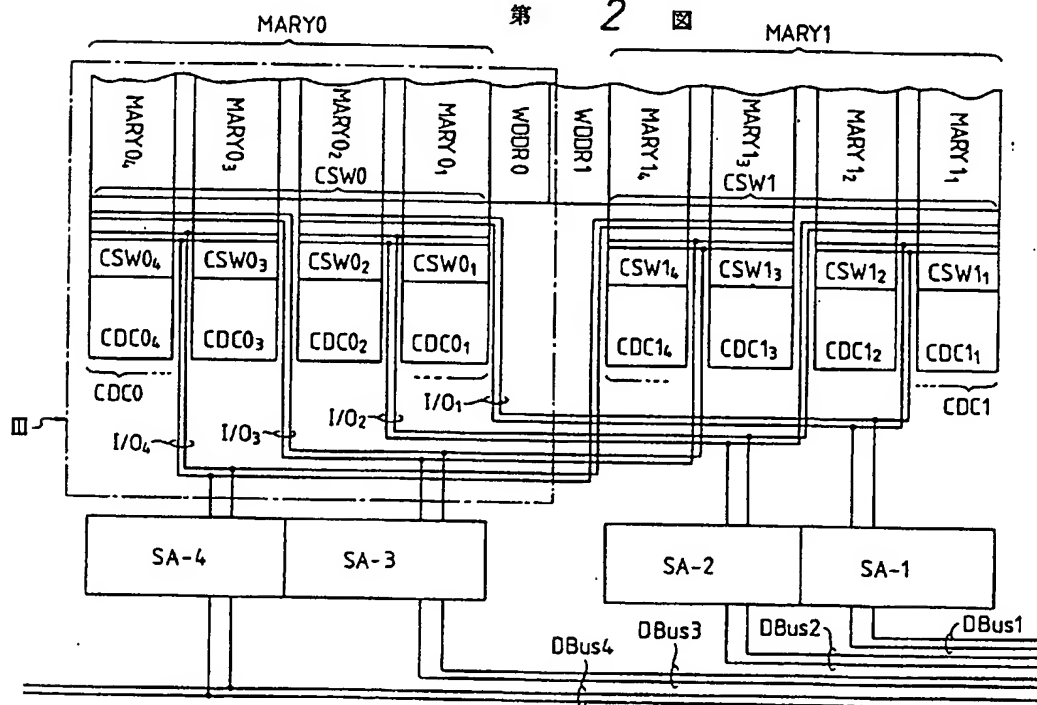
第 7 図は、前記 S R A M のカラムスイッチの要部平面図である。

代理人 弁理士 小 川 勝 男

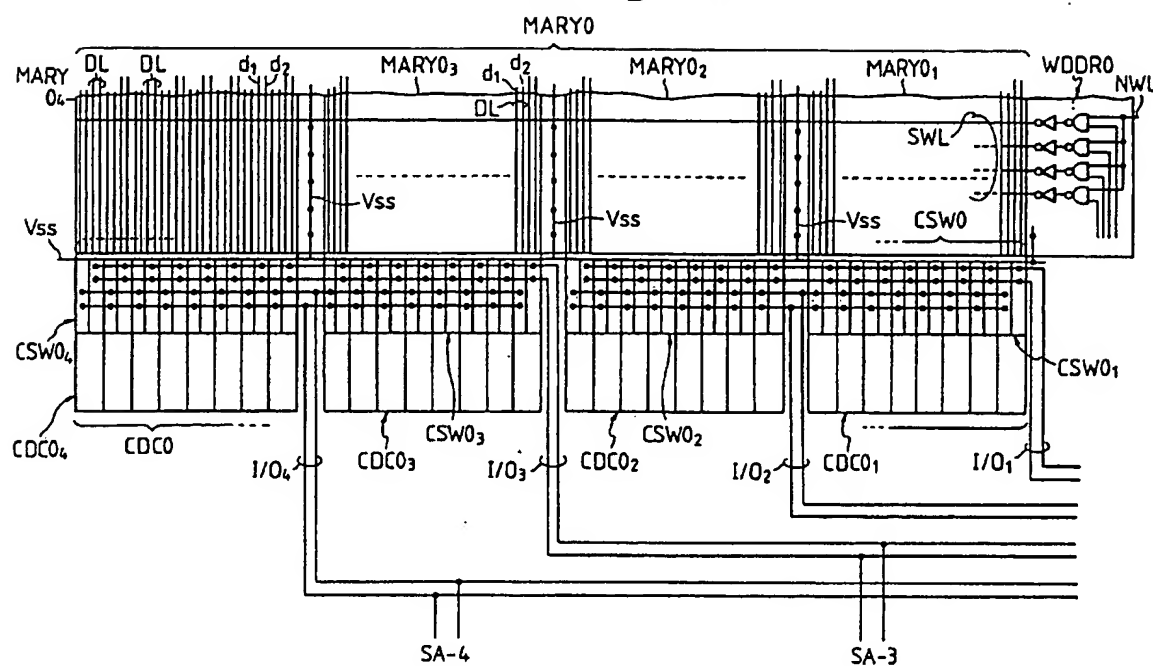
第 1 図



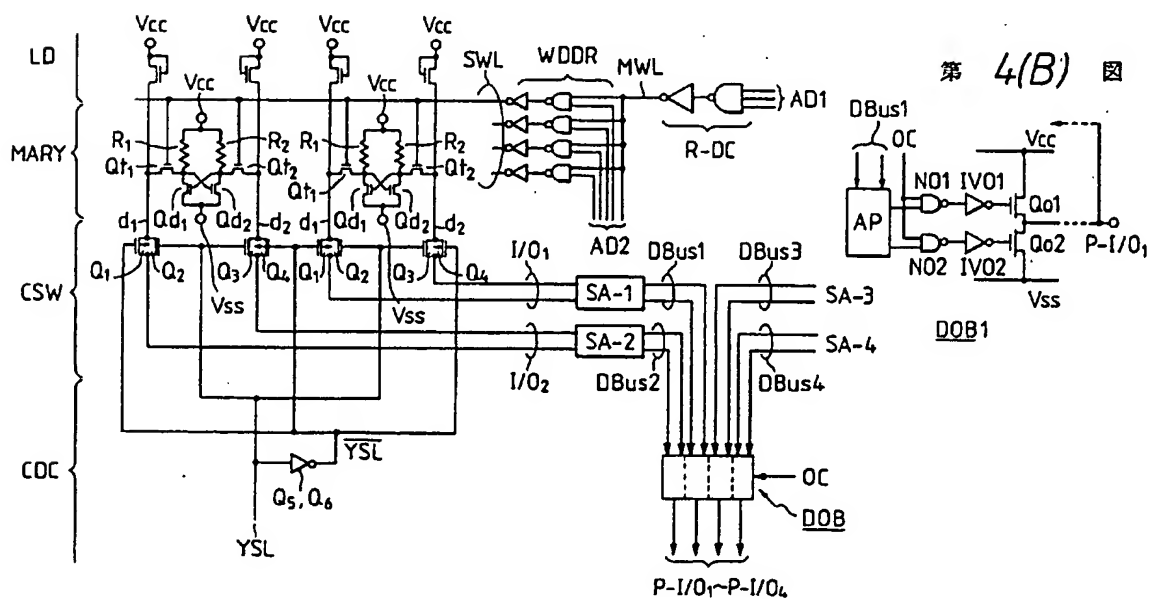
第 2 図



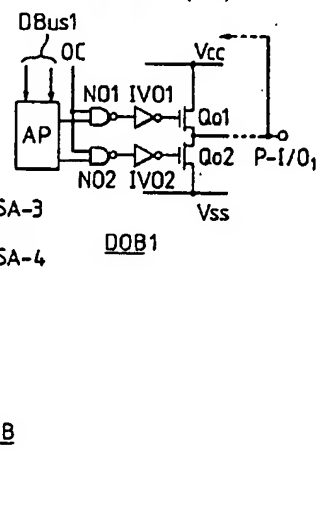
第 3 図



第 4(A) 図



第 4(B) 図



第1頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

G 11 C 11/41
H 01 L 27/11

- | | | | |
|------|-----|----|---|
| ⑫発明者 | 塩屋 | 雅弘 | 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内 |
| ⑫発明者 | 佐々木 | 勝朗 | 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製
作所中央研究所内 |
| ⑫発明者 | 大野 | 隆夫 | 東京都小平市上水本町1450番地 株式会社日立製作所武蔵
工場内 |